

PN - DE4041625 A 19920702

PD - 1992-07-02

PR - DE19904041625 19901222

OPD - 1990-12-22

TI - Asynchronous data transmission via synchronous data transmission system - using oversampling of clock signal only and synchronising data signal with clock signal at receiver

AB - A data signal (D1) and corresp. clock signal (TS1) are transmitted via a digital signal transmission system (U). Oversampling is used on the transmitter side only for the transmission of the clock signal, while at the receiver side, the received data signal (D3) is synchronised with the received clock signal (TS3).  
- The transmission system is e.g. metal cable, optical fibre or a radio link. On the transmitter side, an adaptor (As) has inputs for the data signal (D1) and its clock signal (TS1), and e.g. two clock inputs (TSN, TSM) for the respective two channels of the transmission system, which may transmit low and high bit-rate data respectively. A flip-flop is used as a bit-rate adaptor (AE) at the receiver.  
- ADVANTAGE - Minimised bandwidth requirement.

IN - BUDNIK NORBERT DIPL ING (DE) BLOEMKER UWE DIPL ING (DE)

PA - ANT NACHRICHTENTECH (DE)

EC - H04L7/033 ; H04L25/02E

IC - H04J3/06 ; H04L7/04 ; H04L25/38

CT - DE3744072 A1 [ ]; DE3731674 A1 [ ]

TI - Asynchronous data transmission via synchronous data transmission system - using oversampling of clock signal only and synchronising data signal with clock signal at receiver

PR - DE19904041625 19901222

PN - DE4041625 A 19920702 DW199228 H04L7/04 014pp  
- DE4041625 C 19921022 DW199243 H04L7/04 014pp

PA - (AEGE) ANT NACHRICHTENTECHNIK GMBH

IC - H04J3/06 ; H04L7/04 ; H04L25/38

IN - BLOEMKER U, BUDNIK N

AB - DE4041625 A data signal (D1) and corresp. clock signal (TS1) are transmitted via a digital signal transmission system (U).  
Oversampling is used on the transmitter side only for the

transmission of the clock signal, while at the receiver side, the received data signal (D3) is synchronised with the received clock signal (TS3).

- The transmission system is e.g. metal cable, optical fibre or a radio link. On the transmitter side, an adaptor (As) has inputs for the data signal (D1) and its clock signal (TS1), and e.g. two clock inputs (TSN, TSM) for the respective two channels of the transmission system, which may transmit low and high bit-rate data respectively. A flip-flop is used as a bit-rate adaptor (AE) at the receiver.
- ADVANTAGE - Minimised bandwidth requirement.
- (Dwg.1/9)

OPD - 1990-12-22

AN - 1992-226925 [28]

At the transmitter side, the data signal (D1) and its clock signal (TS1) are fed into an adaptor (As). The adaptor (As) has two clock inputs (TSN, TSM) for the respective two channels of the transmission system, which may transmit low and high bit-rate data respectively. A flip-flop is used as a bit-rate adaptor (AE) at the receiver.

ADVANTAGE - Minimised bandwidth requirement.

OPD 1990-12-22

AN 1992-226925 [28]



⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑯ Offenlegungsschrift  
⑯ DE 40 41 625 A 1

⑯ Int. Cl. 5:  
H 04 L 7/04  
H 04 L 25/38  
H 04 J 3/06

DE 40 41 625 A 1

⑯ Aktenzeichen: P 40 41 625.9  
⑯ Anmeldetag: 22. 12. 90  
⑯ Offenlegungstag: 2. 7. 92

⑯ Anmelder:  
ANT Nachrichtentechnik GmbH, 7150 Backnang, DE

⑯ Erfinder:  
Budnik, Norbert, Dipl.-Ing.; Blömkner, Uwe, Dipl.-Ing.,  
7150 Backnang, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Asynchrone Übertragung über ein synchrones Digitalsignal-Übertragungssystem

⑯ Asynchrone Übertragung über ein synchrones Digitalsignal-Übertragungssystem.

Es soll ein zu übertragendes Datensignal und das zugehörige zu übertragende Taktignal über ein synchrones Digitalsignal-Übertragungssystem übertragen werden. Dabei soll jedes beliebige Verhältnis der Taktfrequenz des zu übertragenden Datensignals zur Systemtaktfrequenz möglich sein. Ferner soll der Jitter sowie der Bandbreitenbedarf möglichst gering sein.

Diese Aufgabe wird dadurch gelöst, daß nur beim Taktignal Überabtastung angewendet wird und daß empfangsseitig das empfangene Datensignal mit dem empfangenen Taktignal synchronisiert wird.

Die Erfindung wird in der elektrischen Nachrichtentechnik angewendet.

DE 40 41 625 A 1

## Beschreibung

Die Erfindung betrifft ein Verfahren zur asynchronen Übertragung eines Datensignals und des zugehörigen Taktsignals über ein synchrones Digitalsignal-Übertragungssystem in der elektrischen Nachrichtentechnik.

Bei der synchronen Digitalsignalübertragung wird sendeseitig ein Bittakt und ein mit diesem Bittakt synchrones Datensignal erzeugt. Um empfangsseitig die im Datensignal übertragene Information wiederzugewinnen, wird auch empfangsseitig der Bittakt benötigt. Eine Möglichkeit, empfangsseitig den Bittakt bereitzustellen, besteht darin, nicht nur das Datensignal, sondern auch noch das zugehörige Taktsignal vom Sender zum Empfänger zu übertragen. Es sind also zwei Kanäle nötig, ein erster für das Datensignal und ein zweiter für das Taktsignal. Bei geringen Entfernungen lassen sich diese zwei Kanäle durch je ein Drahtpaar verwirklichen. Die Übertragung des Datensignals und des zugehörigen Taktsignals über jeweils einen eigenen Kanal hat den Vorteil, daß man beim Aufbau des Datensignals, also beim Datenformat völlig frei ist und man z. B. nicht auf die Erfordernisse einer empfangsseitigen Taktrückgewinnung Rücksicht nehmen muß.

Die Erfindung befaßt sich mit dem Fall, daß die zwei Kanäle z. B. wegen der großen zu überbrückenden Entfernung nicht mehr durch jeweils ein Drahtpaar verwirklicht werden können. Für die Überbrückung großer Entfernungen gibt es Digitalsignal-Übertragungssysteme, die ebenfalls nach dem Prinzip der synchronen Übertragung arbeiten, wobei genormte Bitraten und damit auch genormte und eng tolerierte Taktfrequenzen angewendet werden. Der empfangsseitig benötigte Bittakt wird dabei aus dem empfangenen Datensignal abgeleitet. Daraus ergibt sich z. B. die Forderung, daß im Datensignal nur eine beschränkte Anzahl von Nullen oder Einsen unmittelbar aufeinander folgen dürfen. Es ist also nicht nur der Bittakt und die Taktfrequenz, sondern auch noch der Aufbau des Datensignals, also das Datenformat genormt.

Aus den zuvor beschriebenen genormten synchronen Digitalsignal-Übertragungssystemen haben die Fernmeldeverwaltungen ausgedehnte Digitalsignal-Übertragungsnetze aufgebaut, aus denen sie einzelne oder mehrere Kanäle irgendwelchen Interessenten, z. B. Betreibern von Datenbanken, zur Verfügung stellen. Solche Interessenten, also die Benutzer dieser Kanäle sind damit auch an die genormten Parameter wie z. B. Bitrate, Taktfrequenz und Datenformat gebunden.

Die Erfindung befaßt sich mit der Übertragung eines Datensignals  $D_1$  und des zugehörigen Taktsignals  $TS_1$  mit einer Taktpериode  $T_1$  und einer Taktfrequenz  $f_1$  über eine große Entfernung ohne Bindung an die Parameter eines bestehenden Digitalsignal-Übertragungsnetzes. Zur Lösung dieser Aufgabe könnte man an den Aufbau einer vom bestehenden Digitalsignal-Übertragungsnetzes unabhängigen Übertragungsstrecke denken. Eine solche Lösung scheidet jedoch hauptsächlich aus Kostengründen aus, so daß doch nur die Benutzung von Kanälen aus dem bestehenden Digitalsignal-Übertragungsnetz in Frage kommt. Es muß also das zu übertragende Datensignal  $D_1$  und das zugehörige zu übertragende Taktsignal  $TS_1$  über ein Digitalsignal-Übertragungssystem mit dem Systemtakt  $TS_0$  ohne Bindung an die Systemtaktfrequenz  $f_0$  übertragen werden. D. h. die Systemtaktfrequenz  $f_0$  und die Taktfrequenz  $f_1$  des zu übertragenden Datensignals  $D_1$  stehen in keinem bestimmten Verhältnis, und dieses Verhältnis kann sich

während des Betriebes noch ändern. Es liegt also der Fall der sogenannten asynchronen Übertragung eines Datensignals und des zugehörigen Taktsignals über ein synchrones Digitalsignal-Übertragungssystem vor.

Bei jeder Übertragung von Digitalsignalen, seien es Daten- oder Taktsignale, wird erwartet, daß das jeweilige empfangsseitig ankommende Signal frei von Jitter ist. Wenn jedoch völlige Jitterfreiheit nicht zu erreichen ist, darf der Jitter ein bestimmtes Maß nicht übersteigen. Diese Forderung gilt auch hier. Bei der asynchronen Übertragung läßt sich die Forderung nach einem geringen Jitter nur durch Anwendung der Überabtastung erreichen. Die Systemtaktfrequenz  $f_0$  muß also sehr viel größer sein als die Taktfrequenz  $f_1$  des zu übertragenen Daten- bzw. Taktsignals.

Eine Überabtastung ist immer mit dem Nachteil einer großen Bitrate und eines entsprechend großen Bandbreitenbedarfs verbunden. Dieser Nachteil ist besonders groß, wenn man nicht nur ein einziges Signal, nämlich ein Datensignal, sondern auch noch das zugehörige Taktsignal übertragen will. Denn wegen der zuvor erwähnten Forderung nach Jitterarmut müßte man bei beiden Signalen die Überabtastung anwenden.

Der Erfindung liegt folgende Aufgabe zugrunde: Es soll unter den eingangs erwähnten Bedingungen bei gegebener Bitrate bzw. Taktfrequenz des zu übertragenden Datensignals und des zugehörigen Taktsignals der Bandbreitenbedarf des Übertragungssystems möglichst klein sein. Oder es soll bei gegebener Bandbreite des Übertragungssystems ein Datensignal und das zugehörige Taktsignal mit möglichst hoher Bitrate bzw. Taktfrequenz übertragen werden können. Diese Aufgabe wird durch ein Verfahren nach dem Patentanspruch gelöst.

Die Erfindung wird anhand von in 9 Figuren dargestellten 6 Ausführungsbeispielen beschrieben. Diese Ausführungsbeispiele stellen Schaltungsanordnungen zur Durchführung des erfundungsgemäßen Verfahrens dar. Die jeweilige Zuordnung ergibt sich aus folgender Tabelle:

Ausführungs-Beispiel	Figuren Schaltbild	Zeitdiagramm
1	1	2
2	3	
3	4, 5	6
4	7	
5	8	
6	9	

Bei allen Figuren ist folgendes gemeinsam:

a) Bezugszeichen an Eingangs- und Ausgangsklemmen sowie an Leiterzügen bezeichnen zunächst einmal die jeweiligen Eingangs- und Ausgangsklemmen sowie die Leiterzüge selbst. Sie bezeichnen aber auch die über die jeweiligen Eingangs- und Ausgangsklemmen sowie Leiterzüge übertragenen Signale.

b) Mit  $FF_1 \dots FF_{12}$  sind Flipflops bezeichnet. Sie sind als positivtaktfallengesteuerte D-(Delay-)Flipflops ausgebildet. Mit D ist ihr Dateneingang, mit Q der nicht invertierende Ausgang und mit C der Taktpulseingang bezeichnet. Die positive Taktflanke ist also die wirksame Taktflanke. Der nicht-

invertierende Ausgang eines solchen Flipflops nimmt immer denjenigen Signalzustand an, der unmittelbar vor der wirksamen Taktflanke an seinem Dateneingang besteht.

c) Alle Schaltkreise sind in TTL-(Transistor-Transistor-Logik-)Technik ausgeführt. Daraus folgt, daß die an den Eingangsklemmen zugeführten Signale, die an den Ausgangsklemmen abgegebenen Signale und die internen Signale TTL-Pegel aufweisen, wobei eine Spannung von +5 V dem logischen ja-Zustand zugeordnet ist.

Es wird zunächst die Fig. 1 beschrieben. In ihr bedeuten:

Ü	ein Übertragungssystem,
Ü <sub>E</sub>	ein sendeseitiges Übertragungsgerät,
Ü <sub>H</sub>	ein empfangsseitiges Übertragungsgerät,
AS	ein sendeseitiges Anpassungsgerät,
AE	ein empfangsseitiges Anpassungsgerät,
D <sub>1</sub>	zu übertragendes Datensignal,
TS <sub>1</sub>	zu übertragendes Taktsignal,
D <sub>1</sub>	ein synchronisiertes Datensignal,
D <sub>2</sub>	ein abgetastetes Datensignal,
TS <sub>2</sub>	ein abgetastetes Taktsignal,
TS <sub>N</sub>	ein erster Systemtakt mit einer niedrigen Taktfrequenz f <sub>N</sub> ,
TS <sub>H</sub>	ein zweiter Systemtakt mit einer hohen Taktfrequenz f <sub>H</sub> ,
K <sub>N</sub>	ein erster Kanal mit einer niedrigen Bitrate R <sub>N</sub> ,
K <sub>H</sub>	ein zweiter Kanal mit einer hohen Bitrate R <sub>H</sub> ,
D <sub>4</sub>	ein übertragenes Datensignal,
TS <sub>4</sub>	ein übertragenes Taktsignal.

Das Übertragungssystem Ü weist das sendeseitige Übertragungsgerät Ü<sub>E</sub> und das empfangsseitige Übertragungsgerät Ü<sub>H</sub> auf. Beide sind über einen Übertragungsweg miteinander verbunden. Als Übertragungswege kommen metallische Leiter, Lichtwellenleiter und Funkverbindungen in Frage. Das Übertragungssystem Ü weist einen ersten Kanal K<sub>N</sub> mit einer niedrigen Bitrate R<sub>N</sub> und einen zweiten Kanal K<sub>H</sub> mit einer hohen Bitrate R<sub>H</sub> auf. Da das Übertragungssystem nach dem synchronen Verfahren arbeitet, müssen ihm die zu übertragenden Daten synchron mit den ihm eigenen Taktten, den Systemtakten, übergeben werden. Da das Übertragungssystem zwei Kanäle aufweist, weist es auch zwei Systemtakte auf, nämlich einen ersten Systemtakt T<sub>N</sub>, der dem ersten Kanal K<sub>N</sub> zugeordnet ist, und einen zweiten Systemtakt T<sub>H</sub>, der dem zweiten Kanal K<sub>H</sub> zugeordnet ist. Über die Ausgänge T<sub>N</sub> und T<sub>H</sub> können die entsprechenden Taktsignale entnommen werden.

Dem sendeseitigen Übertragungsgerät Ü<sub>E</sub> ist das sendeseitige Anpassungsgerät AS vorgeschaltet. Es weist den Dateneingang D<sub>1</sub> für das zu übertragende Datensignal D<sub>1</sub>, den Takteingang T<sub>S1</sub> für das zu übertragende Taktignal T<sub>S1</sub>, zwei Takteingänge für den ersten Systemtakt T<sub>N</sub> und den zweiten Systemtakt T<sub>H</sub> sowie drei Flipflops FF<sub>1</sub> bis FF<sub>3</sub> auf. Der Dateneingang D<sub>1</sub> ist mit dem Dateneingang D des Flipflops FF<sub>1</sub> verbunden. Der Takteingang ist mit dem Dateneingang D des Flipflops FF<sub>3</sub> und mit dem Taktpulseingang C des Flipflops FF<sub>1</sub> verbunden. Der Takteingang für den ersten Systemtakt T<sub>N</sub> ist mit dem Taktpulseingang C des Flipflops

FF<sub>2</sub> verbunden. Der Takteingang für den zweiten Systemtakt T<sub>H</sub> ist mit dem Taktpulseingang C des Flipflops FF<sub>3</sub> verbunden. Der Ausgang Q des Flipflops FF<sub>1</sub> ist mit dem Dateneingang des Flipflops FF<sub>2</sub> verbunden. 5 Das auf dieser Verbindung übertragende synchronisierte Datensignal ist mit D<sub>1</sub> bezeichnet. Der Ausgang Q des Flipflops FF<sub>2</sub> ist mit dem ersten Kanal K<sub>N</sub> des Übertragungssystems Ü verbunden. Das auf dieser Verbindung übertragende abgetastete Datensignal ist mit D<sub>2</sub> bezeichnet. Der Ausgang Q des Flipflops FF<sub>3</sub> ist mit dem zweiten Kanal K<sub>H</sub> des Übertragungssystems Ü verbunden. Das über diese Verbindung übertragene abgetastete Taktsignal ist mit T<sub>S2</sub> bezeichnet.

Das Übertragungssystem Ü überträgt also über seinen ersten Kanal K<sub>N</sub> das abgetastete Datensignal D<sub>2</sub>, das am entsprechenden Ausgang des empfangsseitigen Übertragungsgerätes Ü<sub>H</sub> als empfangenes Datensignal D<sub>3</sub> bezeichnet wird. Sinngemäß wird über den zweiten Kanal K<sub>H</sub> das abgetastete Taktsignal T<sub>S2</sub> übertragen. 20 Das entsprechende empfangene Taktsignal ist mit T<sub>S3</sub> bezeichnet.

Dem empfangsseitigen Übertragungsgerät Ü<sub>H</sub> ist das empfangsseitige Anpassungsgerät AE nachgeschaltet. Es weist ein Flipflop FF<sub>4</sub> auf, dessen Dateneingang D mit dem ersten Kanal K<sub>N</sub> und dessen Taktpulseingang C mit dem zweiten Kanal K<sub>H</sub> des Übertragungssystems Ü verbunden ist. Der Ausgang Q des Flipflops FF<sub>4</sub> ist mit dem Datenausgang D<sub>4</sub> verbunden.

Das empfangene Taktsignal T<sub>S3</sub> wird über den Taktausgang T<sub>S4</sub> unmittelbar an die Signalsenke abgegeben, damit es dort zur Verarbeitung des Datensignals verwendet werden kann.

Weitere Einzelheiten werden anhand der Fig. 2 beschrieben. In der Zeile 1 ist das zu übertragende Datensignal D<sub>1</sub> dargestellt, wobei mit A, B, C usw. die einzelnen Bits bezeichnet sind. In der Zeile 2 ist das zu dem zu übertragenden Datensignal D<sub>1</sub> gehörende und ebenfalls zu übertragende Taktignal T<sub>S1</sub> dargestellt. In der Zeile 3 ist die Taktperiode T<sub>1</sub> des zu übertragenden Taktsignals T<sub>S1</sub> angegeben. Sie beträgt 52,5 ns bei dem hier gewählten Maßstab, bei dem 100 mm 100 ns entsprechen. Für die Bitrate R<sub>1</sub> des zu übertragenden Datensignals gilt:

$$45 R_1 = \frac{1}{T_1} \approx 19,05 \text{ Mbit/s}$$

Für die Taktfrequenz f<sub>1</sub> des zu übertragenden Taktsignals gilt sinngemäß:

$$50 f_1 = \frac{1}{T_1} \approx 19,05 \text{ MHz.}$$

In den Zeilen 1 und 2 wurde eine beliebige Phasenlage zwischen den jeweiligen Signalen dargestellt. Jedoch ist es erforderlich, daß die Bitwechsel im Datensignal gleichzeitig mit den wirksamen, hier also mit den positiven Taktflanken auftreten. Dieser Synchronismus wird, wie in der Zeile 4 durch das synchronisierte Datensignal D<sub>1</sub>' dargestellt, durch das Flipflop FF<sub>1</sub> hergestellt. In den Zeilen 5 bis 7 sind der erste und der zweite Systemtakt T<sub>N</sub> und T<sub>H</sub> dargestellt. In der Zeile 6 ist die jeweilige Taktperiode T<sub>N</sub> für den ersten Systemtakt T<sub>N</sub> und T<sub>H</sub> für den zweiten Systemtakt T<sub>H</sub> angegeben. Es wurden gewählt: T<sub>N</sub> = 40 ns und T<sub>H</sub> = 10 ns. Wichtig ist, daß die Taktperiode T<sub>N</sub> ein ganzzahliges Vielfaches der Taktperiode T<sub>H</sub> ist. Ferner ist wichtig, daß jede wirksame Taktflanke des ersten Systemtaktes T<sub>N</sub> gleichzeitig mit ei-

ner wirksamen Taktflanke des zweiten Systemtaktes  $T_{SH}$  auftritt. Die entsprechenden Taktfrequenzen betragen:

$$f_N = \frac{1}{T_N} = 25 \text{ MHz.}$$

$$f_H = \frac{1}{T_H} = 100 \text{ MHz.}$$

Im Flipflop  $FF_2$  wird das synchronisierte Datensignal  $D_1'$  mit dem ersten Systemtakt  $T_{SN}$  abgetastet. Das Ergebnis ist das abgetastete Datensignal  $D_2$  und ist in der Zeile 8 dargestellt.

Der Abtastfaktor

$$\frac{f_N}{f_1}$$

beträgt nur etwa 1,3. Es findet also keine Überabstastung statt. Daher weist das abgetastete Datensignal  $D_2$  auch einen verhältnismäßig großen Jitter auf, wie man durch einen Vergleich der Bits B und C feststellen kann.

Im dritten Flipflop  $FF_3$  wird das zu übertragende Taktsignal  $TS_1$  mit dem zweiten Systemtakt  $T_{SH}$  abgetastet. Das Ergebnis ist das abgetastete Taktsignal  $TS_2$ , welches in der Zeile 9 dargestellt ist. Der Abtastfaktor

$$\frac{f_H}{f_1}$$

beträgt 5,25. Es liegt also Überabstastung vor, und das abgetastete Taktsignal  $TS_2$  ist nur mit einem geringen Jitter behaftet.

Das Übertragungssystem  $\bar{U}$  überträgt das abgetastete Datensignal  $D_2$  über den ersten Kanal  $K_N$  und das abgetastete Taktsignal  $TS_2$  über den zweiten Kanal  $K_H$  zum empfangsseitigen Übertragungsgerät  $\bar{U}_E$ , wobei die Phasenlage der beiden Signale untereinander beibehalten wird. Zur Beschreibung der empfangsseitigen Funktionen anhand der Fig. 2 brauchen deshalb die empfangsseitig ankommenden Signale nicht eigens dargestellt zu werden, man kann vielmehr an die Darstellung der sendeseitigen Signale anknüpfen. Die Zeile 8 stellt also auch das empfangene Datensignal  $D_3$  dar, und in der Zeile 9 ist auch das empfangene Taktsignal  $TS_3$  dargestellt.

Im vierten Flipflop  $FF_4$  wird das empfangene Datensignal  $D_3$  mit dem empfangenen Taktignal  $TS_3$  synchronisiert. Das Ergebnis ist das an die Signalsenke abgegeben übertragene Datensignal  $D_4$ , welches in der Zeile 10 dargestellt ist. Es weist einen wesentlich geringeren Jitter auf als das abgetastete Datensignal  $D_2$ .

Beim zuvor beschriebenen Ausführungsbeispiel 1 muß die Taktfrequenz  $f_1$  des zu übertragenden Taktsignals  $TS_1$  kleiner sein als die erste Systemtaktfrequenz  $f_N$ . Das im folgenden beschriebene Ausführungsbeispiel 2 läßt auch zu, daß beide Taktfrequenzen gleich sind. Es unterscheidet sich vom Ausführungsbeispiel 1 dadurch, daß im sendeseitigen Anpassungsgerät  $A_S$  ein weiteres Flipflop  $FF_3$  vorgesehen ist, das zwischen dem ersten Flipflop  $FF_1$  und dem zweiten Flipflop  $FF_2$  eingefügt ist und dessen Taktpulseingang  $C$  mit dem Ausgang  $Q$  des dritten Flipflops  $FF_3$  verbunden ist. Ein so ausgebildetes sendeseitiges Anpassungsgerät ist in der Fig. 3 dargestellt.

Das Ausführungsbeispiel 3 befaßt sich mit folgender Gegebenheit: Übertragungssysteme für höhere Bitra-

ten werden oft so ausgebildet, daß das Signal nicht seriell, sondern wortweise parallel übertragen wird. Das sendeseitige Übertragungsgerät weist so viele Eingangsanschlüsse auf wie ein einzelnes Datenwort Bits umfaßt. Dementsprechend weist das empfangsseitige Übertragungsgerät eine gleiche Anzahl Ausgangsanschlüsse auf. Anders ausgedrückt, das Übertragungssystem weist eine Anzahl Kanäle auf, die synchron zueinander arbeiten. Die Bitrate des ganzen Systems ergibt sich aus der Bitrate eines einzelnen Kanals multipliziert mit der Anzahl der Kanäle.

Das Ausführungsbeispiel 3 befaßt sich mit einem Übertragungssystem mit 5 Kanälen. In der Fig. 4 ist das sendeseitige Übertragungsgerät  $\bar{U}_S$  mit den 5 Eingängen für die 5 Kanäle  $K_1$  bis  $K_5$  dargestellt. Es weist außerdem einen Ausgang für den Systemtakt  $T_{S0}$  auf. Dieser Systemtakt ist ein Worttakt. Ferner ist das zugehörige sendeseitige Anpassungsgerät  $A_S$  dargestellt. Die Flipflops  $FF_1$ ,  $FF_2$  und  $FF_3$  haben die gleichen Funktionen wie die gleichnamigen Flipflops des Ausführungsbeispiels 1. Die Flipflops  $FF_4$  bis  $FF_{10}$  bilden einen Serien-Parallel-Wandler, wobei die Flipflops  $FF_3$  bis  $FF_6$  ein Schieberegister bilden.

Ferner ist eine Phasenregelschleife vorgesehen, die aus einem spannungsgesteuerten Oszillator VCO, einem Phasendiskriminator PD und einem Frequenzteiler FT besteht. Im eingerasteten Zustand der Phasenregelschleife ist der von ihr erzeugte Takt  $T_{S0}'$  gleich dem vom sendeseitigen Übertragungsgerät  $\bar{U}_S$  zugeführte Systemtakt  $T_{S0}$ . In der Wirkung ist es also gleich ob den Taktpulseingängen  $C$  der Flipflops  $FF_2$  und  $FF_7$  bis  $FF_{10}$ , wie hier gezeichnet, der Takt  $T_{S0}'$  oder der Systemtakt  $T_{S0}$  zugeführt wird. Die Phasenregelschleife erzeugt ferner den internen Takt  $T_S$ , der den Taktpulseingängen  $C$  der Flipflops  $FF_3$  bis  $FF_6$  zugeführt wird. Die Ausgangssignale  $TS_{21}$ ,  $TS_{22}$ ,  $TS_{23}$  und  $TS_{24}$  der Flipflops  $FF_7$  bis  $FF_9$ , also des Serien-Parallel-Wandlers, werden den Kanälen  $K_2$  bis  $K_5$  zugeführt.

In der Fig. 5 ist mit  $\bar{U}_E$  das empfangsseitige Übertragungsgerät bezeichnet. Es weist die Kanäle  $K_1'$  bis  $K_5'$  sowie einen Ausgang für das Taktignal  $T_{S0}''$  auf. Mit  $A_E$  ist das empfangsseitige Anpassungsgerät bezeichnet. Es weist einen Parallel-Serien-Wandler PSW und ein Flipflop  $FF_{11}$  auf. Der Kanal  $K_1'$  ist mit dem Dateneingang  $D$  des Flipflops  $FF_{11}$  verbunden. Die Kanäle  $K_2'$  bis  $K_5'$  sind mit entsprechenden Eingängen des Parallel-Serien-Wandlers PSW verbunden. Der Ausgang für das Taktignal  $T_{S0}''$  ist mit dem Taktpulseingang  $C$  des Parallel-Serien-Wandlers PSW verbunden. An seinem Ausgang erscheint das übertragene Taktignal  $TS_4$ , welches auch dem Taktpulseingang  $C$  des Flipflops  $FF_{11}$  zugeführt wird. An seinem Ausgang  $Q$  erscheint das übertragene Datensignal  $D_4$ .

Weitere Einzelheiten werden anhand der Fig. 6 beschrieben. Für diese Figur gelten die Ausführungen zur Fig. 2 sinngemäß. Die Darstellung in den Zeilen 1 bis 4 stimmt mit der Fig. 2 überein. In den Zeilen 5 und 7 sind der von der Phasenregelschleife erzeugte Takt  $T_{S0}'$  und der interne Takt  $T_S$  dargestellt. In der Zeile 6 ist die jeweilige Taktperiode  $T_0$  bzw.  $T_1$  angegeben. Wie in der Fig. 2 ist in der Zeile 8 das abgetastete Datensignal  $D_2$  dargestellt, das jedoch hier durch Abtastung des synchronisierten Datensignals  $D_1'$  mit dem Takt  $T_{S0}'$  gewonnen wird. Auch hier tritt, wie am Bit "C" zu erkennen ist, ein starker Jitter auf.

Die Abtastung des zu übertragenden Taktsignals  $TS_1$  durch den internen Takt  $T_S$  sowie die sich anschließende Serien-Parallel-Wandlung ist in den Zeilen 9 bis 16

dargestellt.

Da das Übertragungssystem alle Signale phasenstarr zueinander überträgt, erübrigt sich in der Fig. 6 eine eigene Darstellung der vom empfangsseitigen Übertragungsgerät abgegebenen Signale. Die Darstellung in den Zeilen 7 und 8 sowie 13 bis 16 kann also auch als eine Darstellung der Signale  $D_3$ ,  $TS_{31}$  bis  $TS_{34}$  sowie  $TS_0$  angesehen und damit für die Beschreibung der Funktionen im empfangsseitigen Anpassungsgerät herangezogen werden. So wird anhand der Zeilen 13 bis 18 die Funktion des Parallel-Serien-Wandlers PSW dargestellt. Dabei ist in der Zeile 17 ein Hilftakt dargestellt, der vom Takt  $TS_0$  abgeleitet ist und den man sich nur im Serien-Parallel-Wandler auftretend vorstellen kann. Er wurde hier eingezeichnet, weil er die Konstruktion der Darstellung in der Zeile 18 erleichtert.

Im Flipflop  $FF_{11}$  wird das empfangene Datensignal  $D_3$  mit dem übertragenen Taktignal  $TS_4$  synchronisiert. Das Ergebnis ist das an die Signalsenke abgegebene übertragene Datensignal  $D_4$ , welches in der Zeile 19 dargestellt ist. Es weist einen wesentlich geringeren Jitter auf als das in der Zeile 8 dargestellte abgetastete Datensignal  $D_2$ .

Bei dem zuvor beschriebenen Ausführungsbeispiel 3 muß die Taktfrequenz  $f_1$  des zu übertragenden Taktsignals  $TS_1$  kleiner als die Systemtaktfrequenz  $f_U$  sein. Das im folgenden beschriebene Ausführungsbeispiel 4 lässt auch zu, daß beide Taktfrequenzen gleich sind. Es unterscheidet sich vom Ausführungsbeispiel 3 dadurch, daß gemäß der Fig. 7 im sendeseitigen Anpassungsgerät 25  $A_5$  ein weiteres Flipflop  $FF_{12}$  vorgesehen ist, das zwischen dem ersten Flipflop  $FF_1$  und dem zweiten Flipflop  $FF_2$  eingefügt ist und dessen Taktpulseingang  $C$  mit dem Ausgang  $Q$  des Flipflops  $FF_4$  verbunden ist. Er könnte statt dessen auch mit dem Ausgang  $Q$  des Flipflops  $FF_5$  35 verbunden sein. Allgemein gilt, daß der Taktpulseingang  $C$  des Flipflops  $FF_{12}$  mit einem Ausgang  $Q$  eines beliebigen Flipflops aus dem Schieberegister des Serien-Parallel-Wandlers verbunden ist, ausgenommen sind das erste Flipflop  $FF_3$  und das letzte Flipflop  $FF_6$ . Das empfangsseitige Anpassungsgerät ist das gleiche wie im Ausführungsbeispiel 3.

Beim zuvor beschriebenen Ausführungsbeispiel 4 werden ideale Flipflops vorausgesetzt, und zwar solche, bei denen die Setzzeit (Set-up-time) und die Haltezeit 45 (Hold time) vernachlässigbar klein ist. Im Ausführungsbeispiel 5 können Flipflops verwendet werden, deren Setzzeiten und Haltezeiten nicht mehr vernachlässigbar klein sind. Dies wird dadurch ermöglicht, daß gemäß der Fig. 8 dem Frequenzteiler FT eine Verzögerungsschaltung VZ vorgeschaltet ist. Sie ist so ausgebildet, daß ihre Verzögerungszeit größer ist als die größte Setzzeit. Andererseits ist die Verzögerungszeit nicht größer als die Taktperiode  $T_1$  des internen Taktes  $TS_1$  vermindert um die größte vorkommende Haltezeit.

Im Ausführungsbeispiel 6 ist, wie in der Fig. 9 dargestellt ist, die Verzögerungsschaltung durch einen Inverter IN 55 ersetzt.

In den zuvor beschriebenen Ausführungsbeispielen ist die Bitrate des zu übertragenden Datensignals  $D_1$  60 nicht größer als die Bitrate eines einzigen Kanals des Übertragungssystems. So reicht also ein Kanal zur Übertragung aus. Ist jedoch die Bitrate des zu übertragenden Datensignals  $D_1$  größer als die Bitrate eines Kanals, so werden mehrere Kanäle zur Übertragung 65 vorgesehen. Im sendeseitigen Anpassungsgerät ist dafür ein entsprechender Serien-Parallel-Wandler vorgesehen. Im empfangsseitigen Anpassungsgerät ist ein ent-

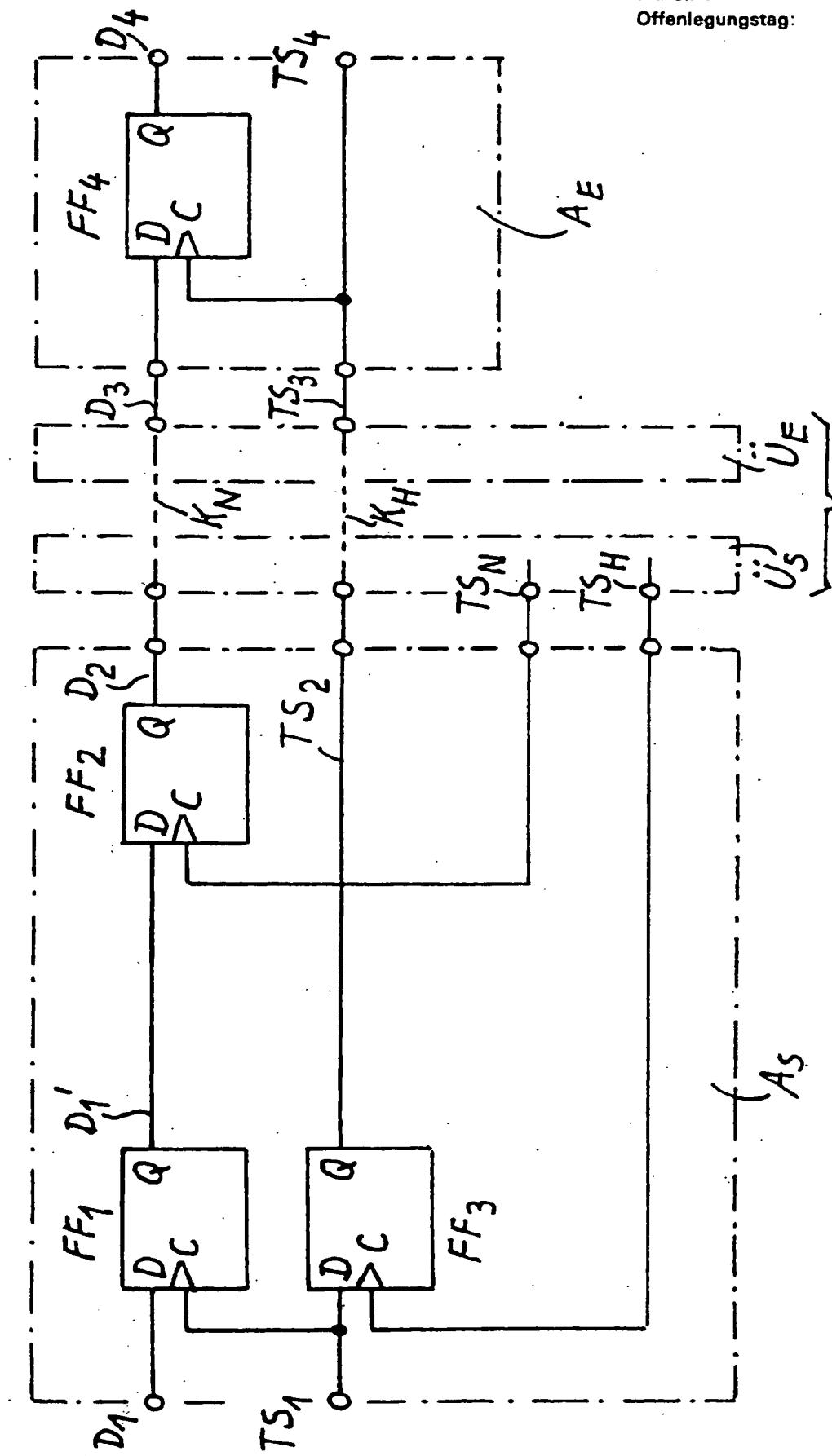
sprechender Parallel-Serien-Wandler vorgesehen. Dies wird an folgendem Beispiel verdeutlicht: Die Bitrate des zu übertragenden Datensignals  $D_1$  und des zugehörigen Taktsignals  $TS_1$  kann bis zu 27,0 Mbit/s betragen. Das Übertragungssystem arbeitet mit Parallelübertragung von 10-Bit-Worten mit einer Worttaktfrequenz von 13,50 MHz. Das heißt, das Übertragungssystem weist 10 Kanäle mit einer Bitrate von je 13,5 Mbit/s auf. Man sieht also für das zu übertragende Datensignal 2 Kanäle und für das zu übertragende Taktignal 8 Kanäle vor.

#### Patentanspruch

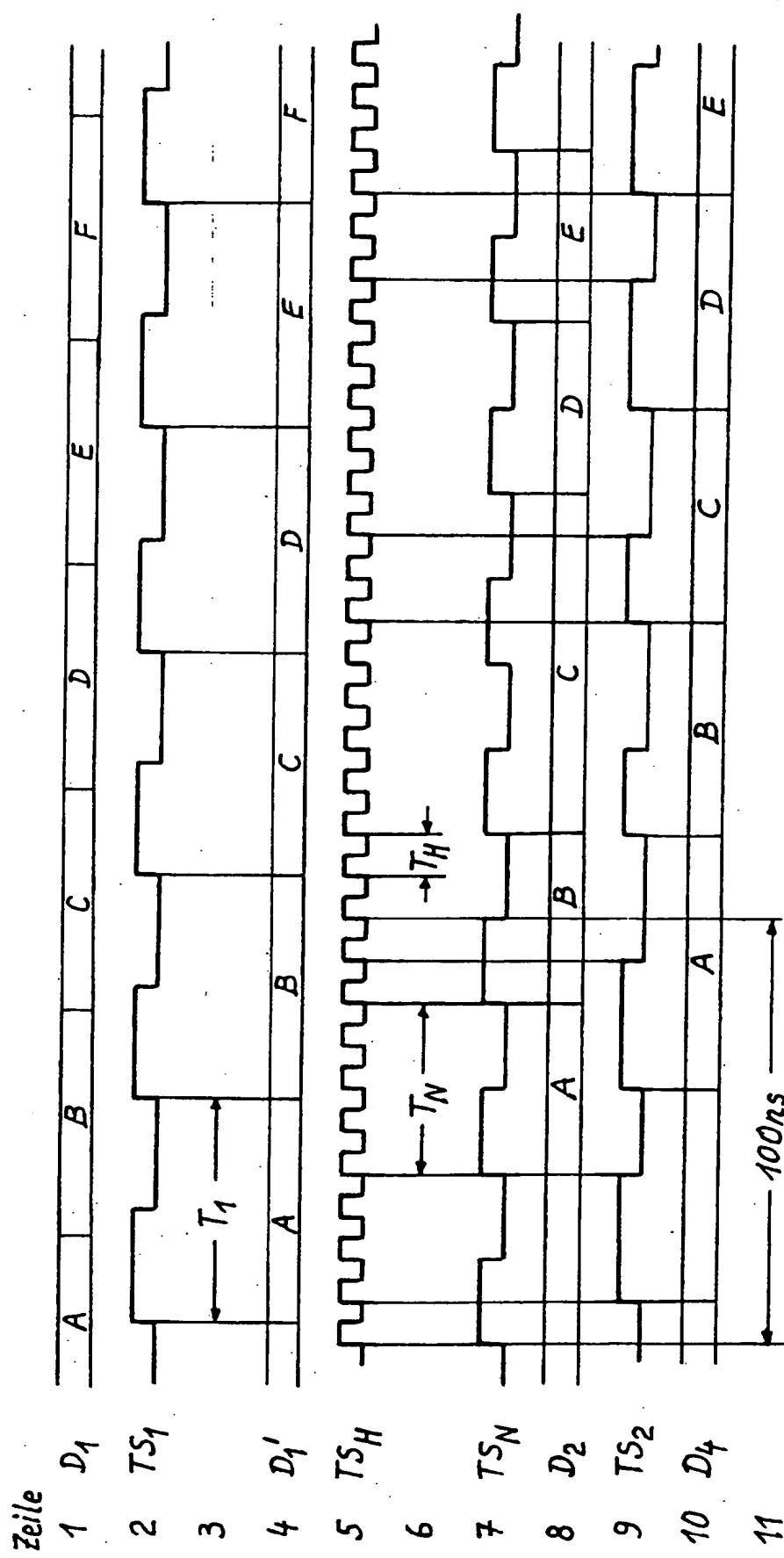
Verfahren zur Übertragung eines zu übertragenden Datensignals ( $D_1$ ) und des zugehörigen zu übertragenden Taktsignals ( $TS_1$ ) über ein Digitalisignal-Übertragungssystem ( $Ü$ ) mit folgenden Merkmalen:

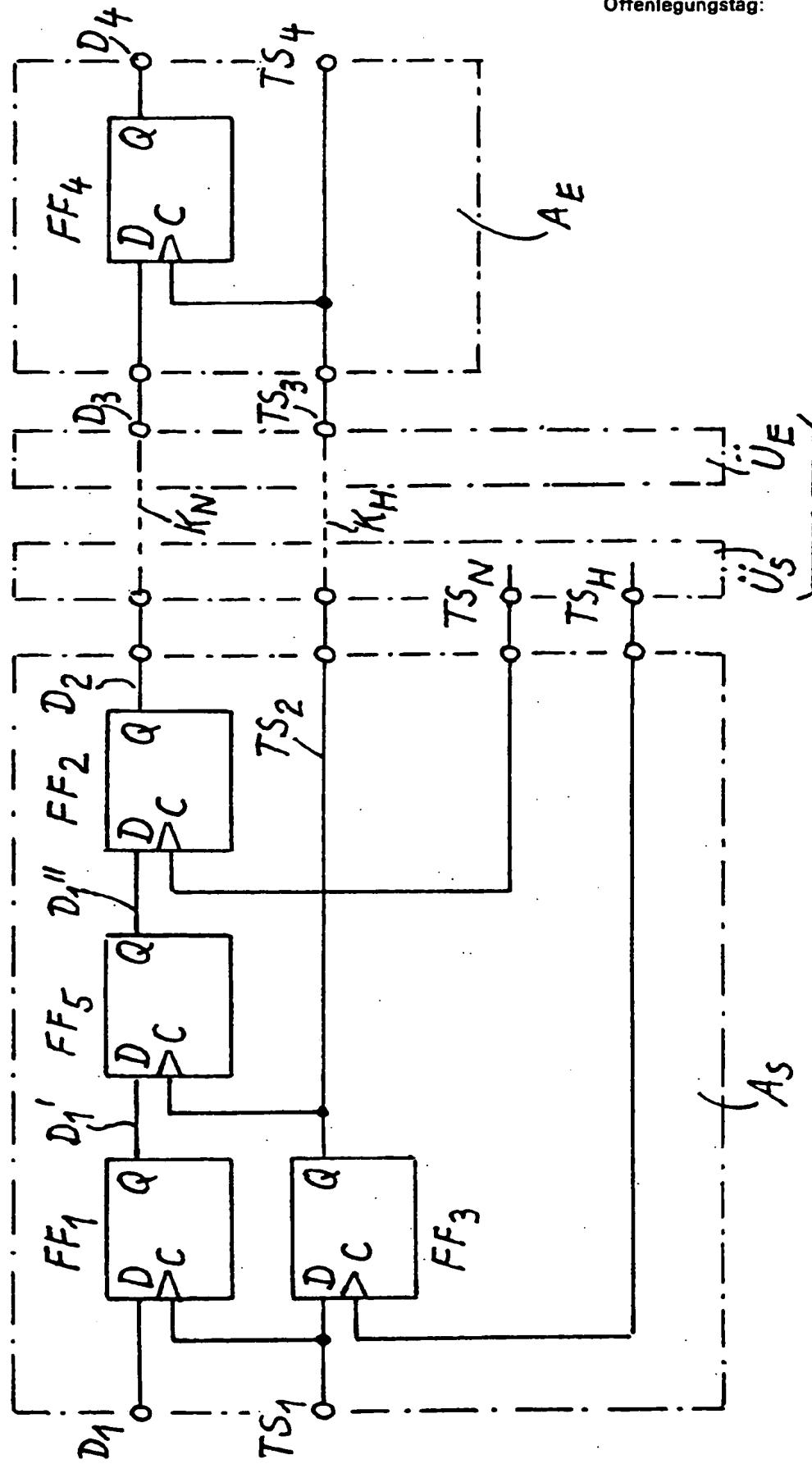
- Sendeseitig wird nur beim zu übertragenden Taktignal ( $TS_1$ ) die Überabtastung angewendet.
- Empfangsseitig wird das empfangene Datensignal ( $D_3$ ) mit dem empfangenen Taktignal ( $TS_3$ ) synchronisiert.

Hierzu 9 Seite(n) Zeichnungen



Ü Fig. 1





Ü Fig. 3

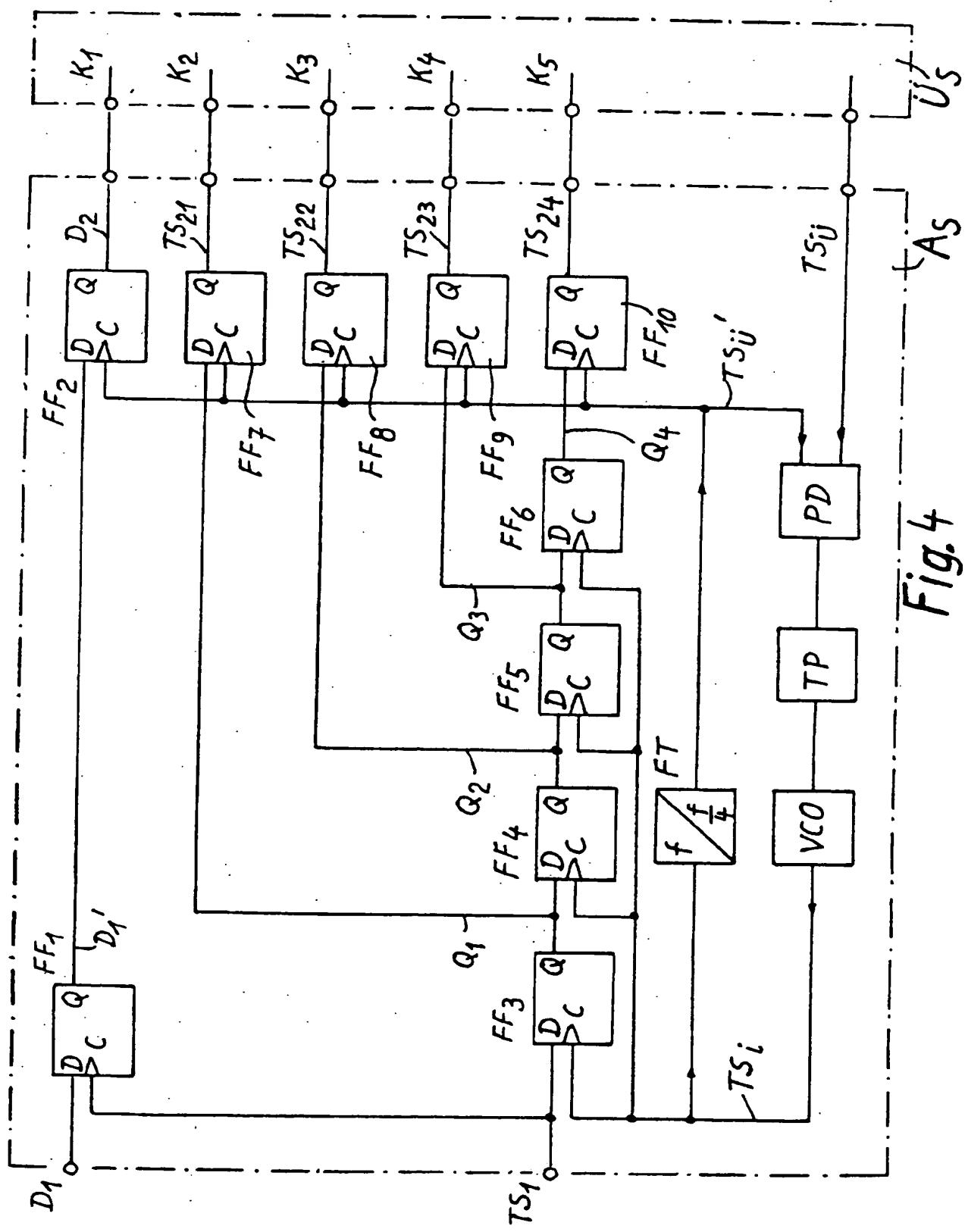
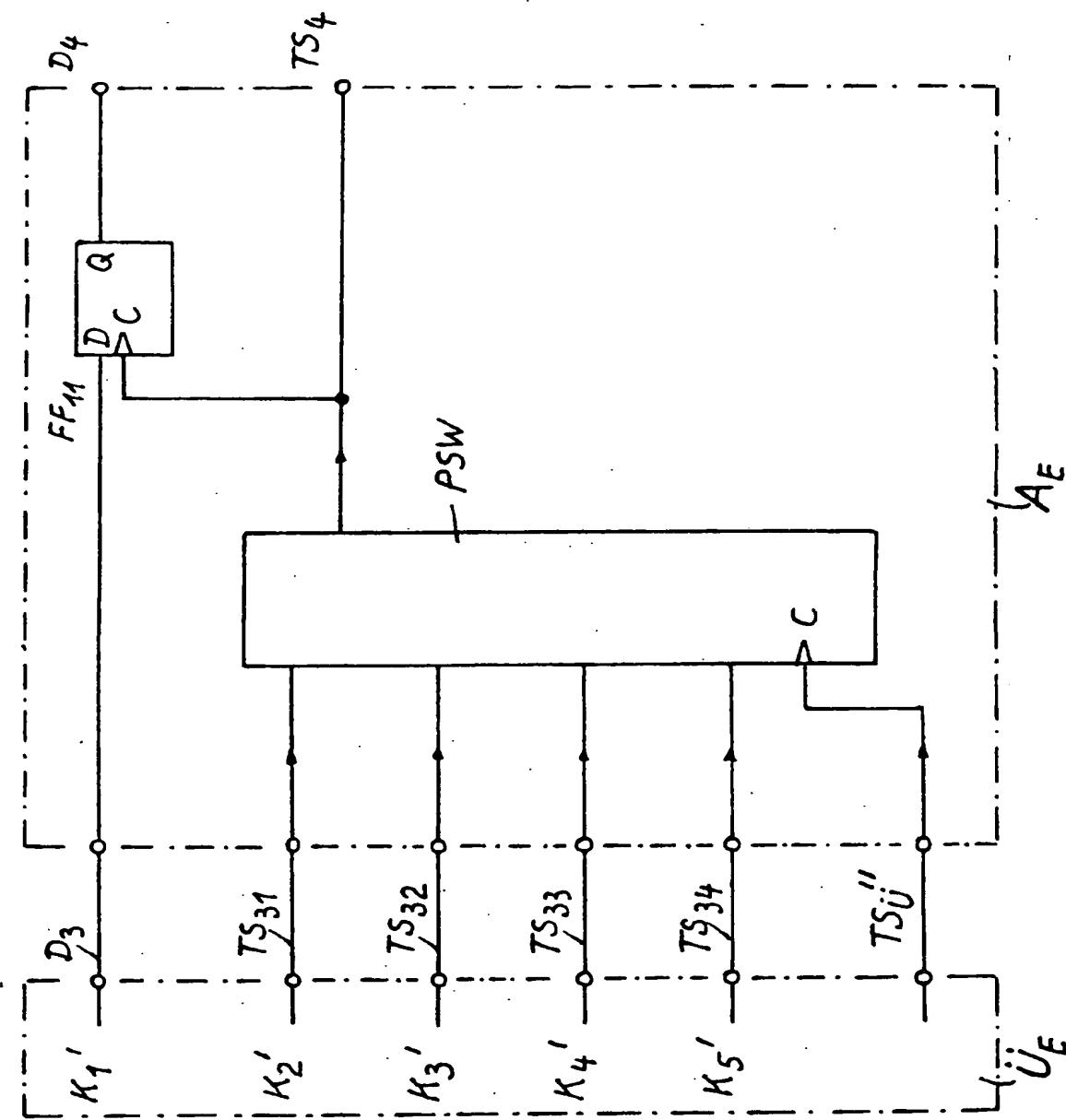


Fig. 4

Fig. 5



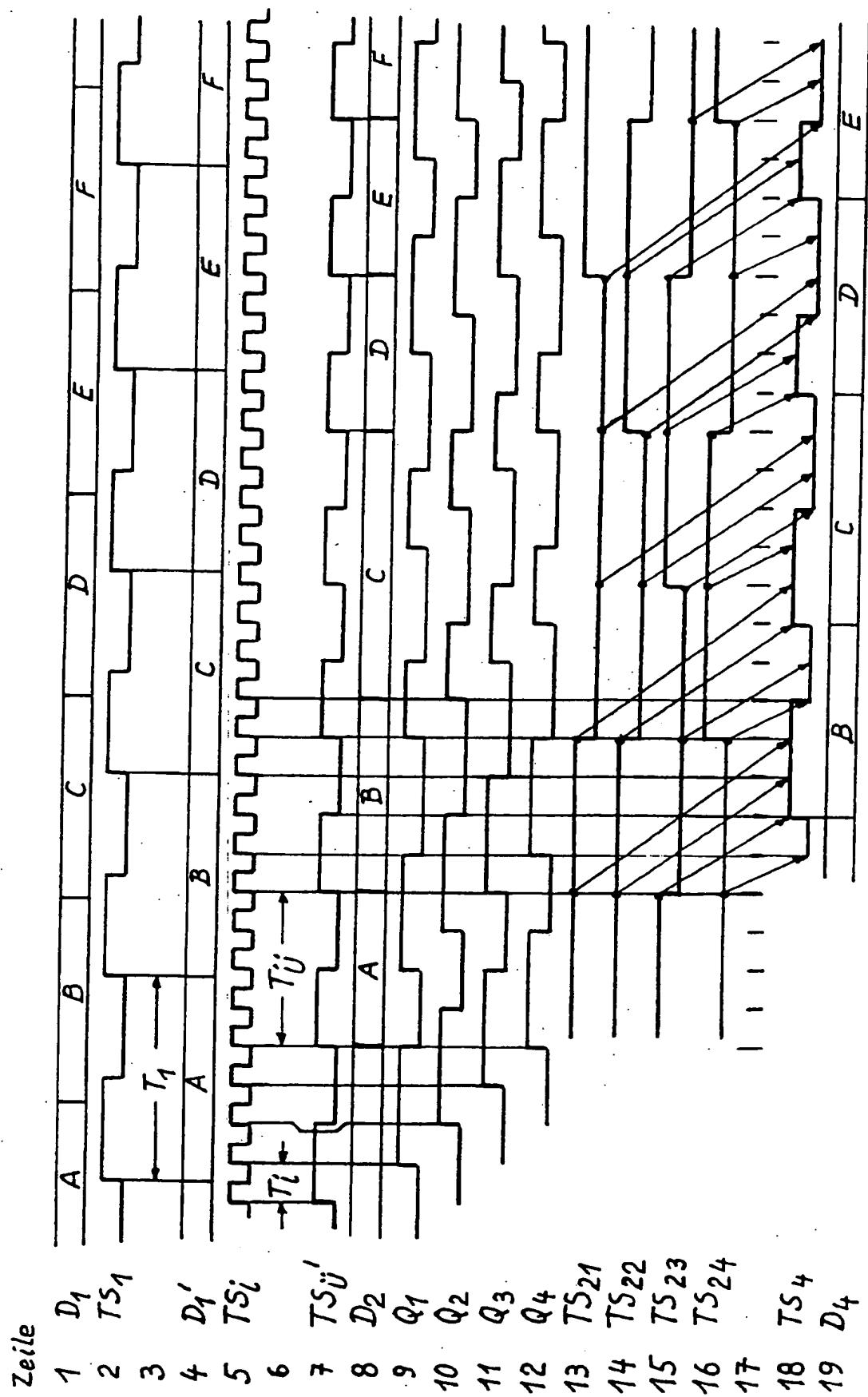


Fig. 6

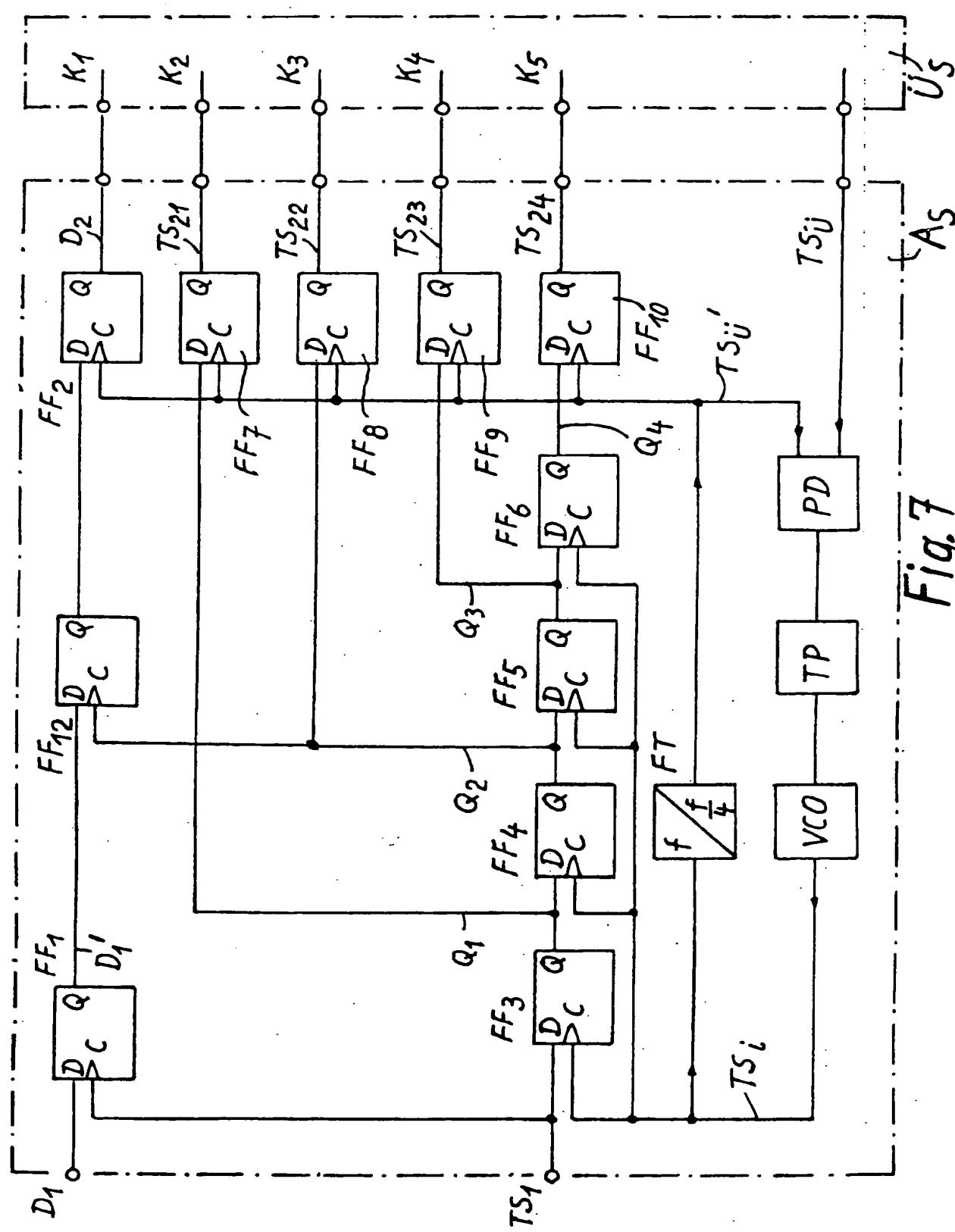


Fig. 7

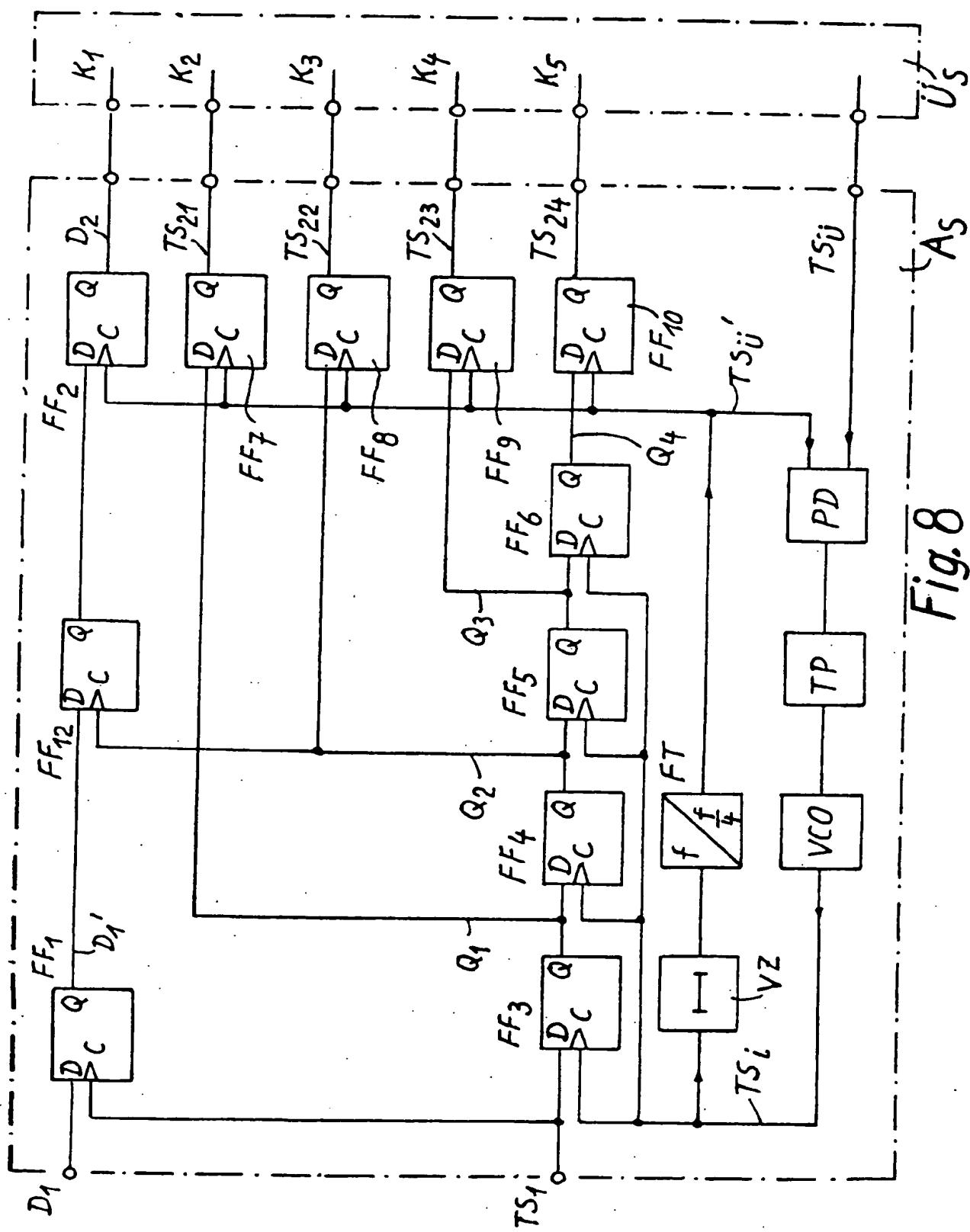


Fig. 8

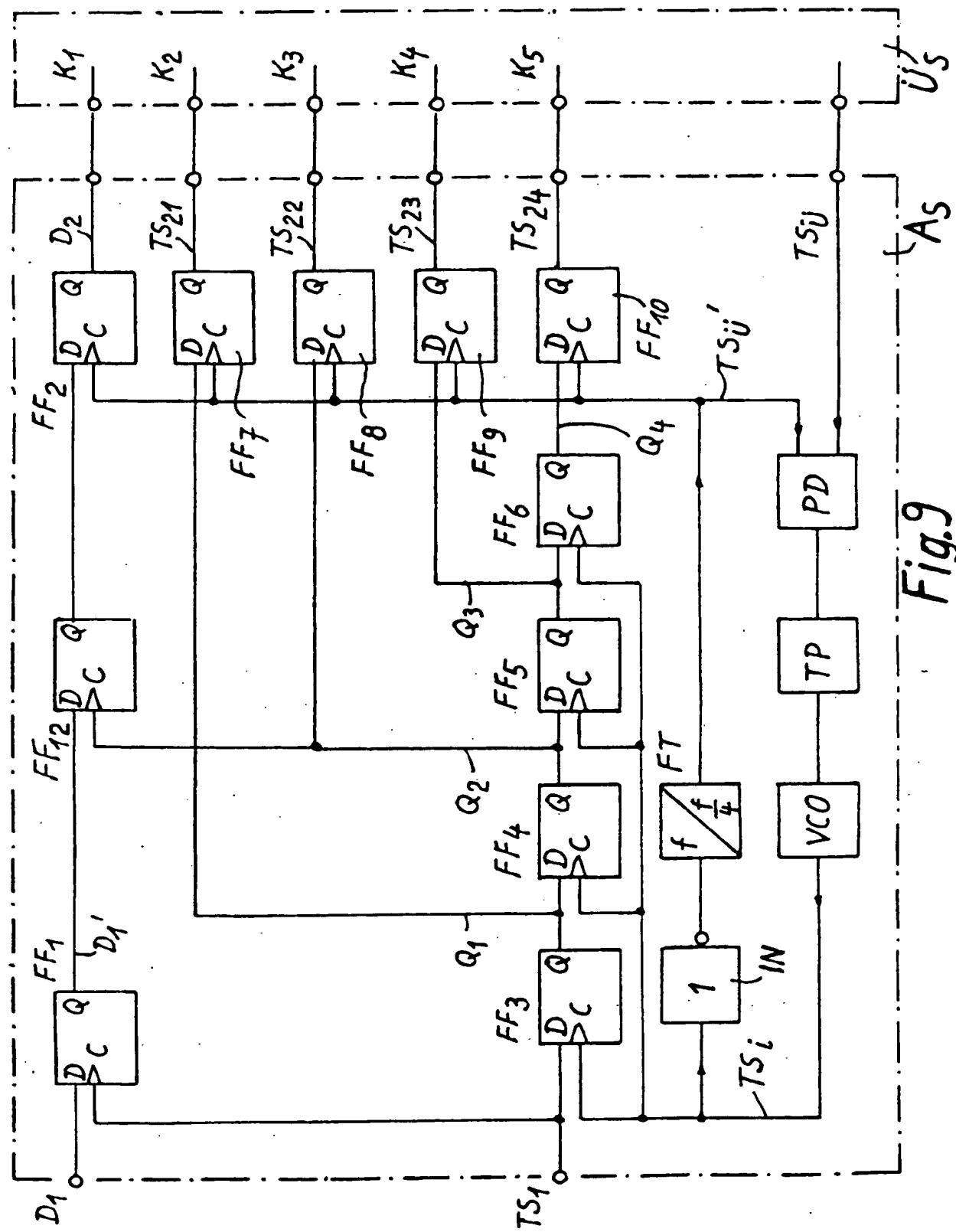


Fig. 9